

一种用于电能计量芯片的高精度低功耗 Σ - Δ ADC 调制器的分析与设计

单来成, 乌力吉, 张向民, 吴行军

(1 清华大学 微电子学研究所, 北京 100084; 2 清华大学 信息科学与技术国家实验室, 北京 100084)

摘 要: 本文提出了一种低功耗、低温漂的四阶 Σ - Δ ADC 调制器的结构设计, 并在 HHGRACE 0.35 μm CZ6H 工艺下进行了设计和优化, 经过不同工艺角和温度点下仿真验证, 采样频率为 512 kHz, 带隙基准电压的温度系数为 25 ppm/ $^{\circ}\text{C}$, 四阶 Σ - Δ ADC 调制器功耗为 550 μA 左右. 芯片流片后在测试电路板上进行了各种功能性能测试, 与仿真结果一致.

关键词: 低功耗; 四阶; Σ - Δ 调制器; 全前馈; 带隙基准

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)07-0045-05

Analysis and Design of Low Power Σ - Δ ADC Modulator Used in Electrical Measurement Chip

SHAN Lai-cheng, WU Li-ji, ZHANG Xiang-min, WU Xing-jun

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Tsinghua National Laboratory for Information Science and Technology, Tsinghua University, Beijing 100084, China;)

Abstract: This paper presents a low power, low temperature drift fourth order Σ - Δ ADC modulator design. The proposed low power Σ - Δ ADC modulator is designed on HHGRACE 0.35 μm CZ6H technology, and simulated by HSPICE under different process corner and temperature point, system voltage is 5 V, sampling frequency is 512 kHz, the temperature coefficient of bandgap reference voltage is 25 ppm/ $^{\circ}\text{C}$, the power consumption of fourth-order Σ - Δ ADC modulator is about 550 μA . The tapeout chip's function and performance is tested on the test board, and the simulation results are consistent.

Key words: low-power; 4th; Σ - Δ modulator; full feed forward; bandgap reference

1 引言

电能计量芯片是广泛应用于智能电表的核心计量芯片, 早期的计量芯片主要由模拟乘法器来实现对电功率的测量, 这种计量芯片处理精度不会超过 12 位, 而且准确度很难有所提高. 随后出现了以 Σ - Δ ADC (Sigma-delta ADC) 为代表的新型电能计量芯片^[1], 它在没有大幅度提高有效位数的情况下, 通过提高采样速率实现对电压、电流信号的模数转换, 并通过内嵌的数字信号处理单元(DSP)完成电参量的计算. 这种芯片在提高电能表测量精度和可靠性、扩大量程范围方面

具有巨大的优势, 同时由于采用了数字滤波器, 减少了外界干扰信号对测量结果的影响, 采用数字运算单元计算电量, 防止了人为破坏和恶意篡改. 另一方面, 由于芯片中处理和输出的数据均为数字信号, 解决了传统模拟电能表功能单一的问题, 并可以与微处理器进行数据连接, 从而发展出各种电能数据应用系统, 使电能表向着智能化、信息化的方向前进^[2-3].

Σ - Δ ADC 型电能计量芯片主要的技术目标是提高计量精确度. 在 ADC 芯片内部存在大量高频噪声和衬底噪声, 这会导致在有用信号的带宽内存在量化噪声和其他形式的干扰, 如果 ADC 的输出

分辨率有限,在 DSP 电路进行电参量运算时将产生较大的误差.除了分辨率的限制外,电能计量芯片还集成了多个功能单元,再考虑到芯片本身在工艺制造偏差、功耗限制、温度敏感度和稳定性等方面的问题,这都对芯片内部的 ADC 提出了更高的要求^[4].

本课题组设计的高精度低功耗电能计量 Σ - Δ ADC 芯片系统结构图如图 1 所示,芯片内部集成了一个可编程增益放大器(PGA),一个二阶 Σ - Δ ADC,一个四阶 Σ - Δ ADC,系统校正模块和功率计算引擎,其中二阶 Σ - Δ ADC 用于测量瞬时电压,四阶 Σ - Δ ADC 用于测量瞬时电流,系统校正模块具有系统校准和相位补偿功能,对测量通道的直流失调电压、交流失调电压、增益等参数进行自动校正,保证测量通道的测量精度,功率计算引擎用于计算电压有效值、电流有效值、瞬时功率、有功功率、无功功率和视在功率等电能参数.芯片内部还有一个 SPI 接口,MCU 可以通过该 SPI 接口对芯片进行参数配置,还可以将各电能参数读取到 MCU 处进行后续处理.芯片内部还包括一个温度传感器模块,利用温度传感器测量温度能够补偿温度漂移.芯片还具有可编程的电能-脉冲输出功能,通过不同的寄存器配置,可以输出有功电能,无功电能,视在电能,电能方向等电能参数.芯片在 1000:1 的动态范围内能够实现 0.2% 的测量线性度,可以用在单相两线或者单相三线电能计量仪器仪表上.

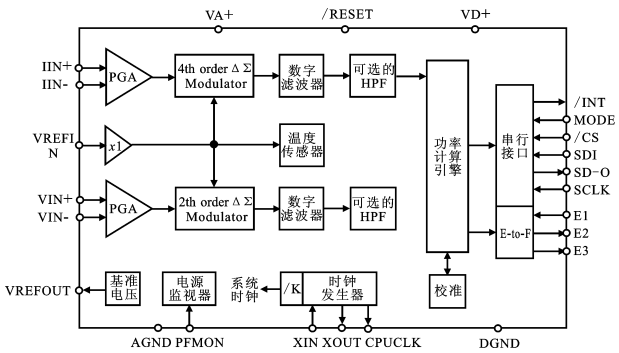


图 1 电能计量 Σ - Δ ADC 芯片系统结构

本文在课题组已有相关成果基础上,首先进行了电流通道四阶 Σ - Δ 调制器总体结构的设计,之后对其中的关键模块包括运算放大器、低功耗比较器、带隙基准等完成了电路设计与验证,并进行了流片测试,测试结果很好的满足了设计要求.

2 低功耗四阶 Σ - Δ 调制器结构设计

2.1 拓扑结构和参数选择

Σ - Δ 调制器有 3 个最基本的特征量,分别为系统

阶数 L ,量化器位数 M ,过采样率 OSR .根据过采样理论,带内残留噪声总能量与 OSR 的 $2L+1$ 次幂成反比关系,因此通过提高过采样率 OSR ,或增阶数 L 可以有效提高信噪比 SNR .另一方面,通过增加量化器位数 M ,可以在不提高阶数 L 的情况下,提高信噪比 SNR .但若量化器的位数 M 超过 1,会增加反馈器件间的不匹配性,这样会增加设计复杂度,还会降低系统转换精度,综合考虑,本设计采用 1 位量化器结构.

常见 Σ - Δ 调制器拓扑结构有反馈式级联积分器结构(CRFB)和前馈式级联积分器结构(CRFF),这两种结构均可实现积分器对噪声分量的有效处理.相对比之下,CRFF 结构需要的信号支路较少,可以减少开关电容和电路器件的数量,从而可以降低信号噪声,减小整个 Σ - Δ 调制器的功耗.因此,从低功耗的角度,本设计采用全前馈(CRFF)结构. Σ - Δ 调制器结构图如图 2 所示.

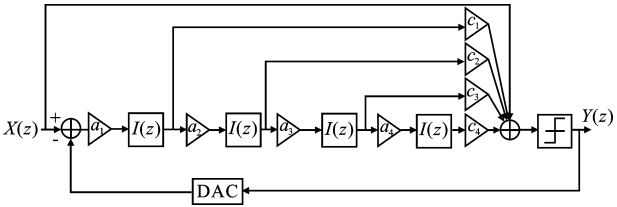


图 2 全前馈的四阶单比特 Σ - Δ ADC 调制器结构图

在电表应用中,考虑到电流频率较低(50 或 60 Hz),但是动态范围较大,为保证足够精度,电路设计参数确定为通道信噪比 $SNR=110$ dB,采样频率 $f_s=512$ kHz,过采样率 $OSR=256$,阶数 $L=4$,量化位数 $M=1$.

2.2 Σ - Δ 调制器电路结构

四阶 Σ - Δ 调制器电路结构图如图 3 所示,主要有比较器模块、互不重叠时钟模块、开关电容积分模块、低通滤波模块和 1 位 DAC 模块组成.设计中采用二选一数据选择器来替代低通滤波器,采用共模反馈全差分运算放大器来有效地抑制系统的噪声,同时采用延迟积分器为第一级积分器,非延迟积分器为二三四级积分器.

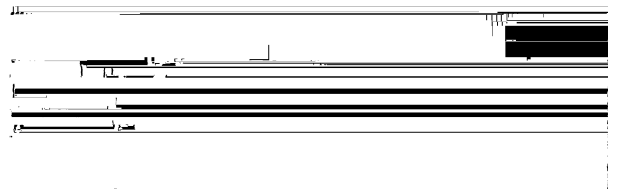


图 3 四阶 Σ - Δ 调制器电路结构

3 关键电路的实现

3.1 低功耗运算放大器电路

应用于 Σ - Δ 调制器的运算放大器要求高增益、高速度、高输出摆幅,同时运算放大器又是构成积分器的主要电路,其功耗得高低在很大程度上决定了整个调制器功耗的高低。本文从低功耗的角度选择了套筒式共源共栅^[5]式运算放大器。套筒式共源共栅放大器具体电路如图4所示。

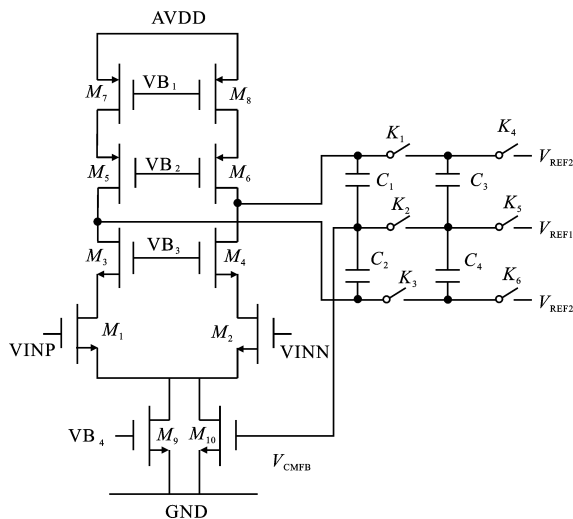


图4 套筒式共源共栅运算放大器电路图

电路采用全差分形式,双端输入双端输出,其中 $M_1 \sim M_4$ 是套筒式共源共栅输入级, $M_5 \sim M_8$ 是共源共栅电流镜,提高输出阻抗。全差分放大器输出共模电平对器件的特性和失配非常敏感,受版图设计和加工工艺的影响,放大器的两边不可能完全对称,输出节点处的共模电平就会不相等,因此全差分运算放大器需要一个共模反馈环路来稳定输出节点的共模电平^[6]。本文的运算放大器采用开关电容共模反馈,包括图4中的四个电容 $C_1 \sim C_4$ ($C_1 = C_2$, $C_3 = C_4$),六个开关 $K_1 \sim K_6$,两个基准电压 V_{REF1} 、 V_{REF2} 。其中开关 $K_1 \sim K_3$ 是一组, $K_4 \sim K_6$ 是一组,两组开关的时钟控制信号反相,当控制信号为低电平时,开关 $K_1 \sim K_3$ 打开, $K_4 \sim K_6$ 闭合, C_3/C_4 上的电压是 $(V_{REF2} - V_{REF1})C_3$;当控制信号为高电平时,开关 $K_1 \sim K_3$ 闭合, $K_4 \sim K_6$ 打开, C_3/C_4 上的电荷会有一部分转移到 C_1/C_2 上,这样经过周期性的电荷转移,当时间足够长时,会产生一个稳定的共模电压 V_{CMFB} ,接到 M_{10} 的栅极,构成负反馈,在某个时钟周期,当输出共模电压变高时, M_{10} 的漏电流增加,尾电流变大,因此两条支路的电流都变大,导致

输出共模电压变低,在下个时钟周期, M_{10} 的漏电流减小,导致输出共模电压变高。

3.2 低功耗比较器

应用于 Σ - Δ 调制器的比较器,工作速度、功耗、精度等是最关心的性能指标^[6],本文采用了动态锁存结构的比较器,这种结构的比较器具有低功耗、高速度的特点。比较器的电路如图5所示。

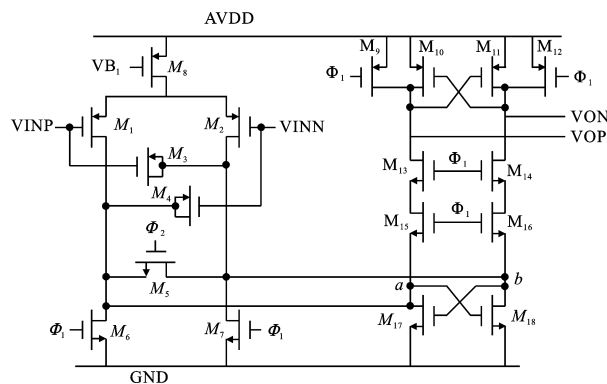


图5 低功耗比较器电路

图5中,低功耗比较器由预放输入差分对 $M_1 \sim M_2$ 、CMOS锁存器^[7]、踢回噪声减小电路^[8]、输出缓冲器和RS触发器组成。CMOS锁存器包括 $M_5 \sim M_{18}$ 。踢回噪声减小电路为 $M_3 \sim M_4$ 。CMOS锁存器的输出接到输出缓冲器后接到RS触发器的输入端,RS触发器的输出即为比较器的输出, Φ_1 和 Φ_2 是互不交叠时钟信号。

比较器的动态工作包括两个过程:复位状态和再生状态。当 Φ_1 为低电平, Φ_2 为高电平时,比较器处于复位状态, M_9 、 M_{12} 导通,输出节点电压被拉到电源电压; M_5 导通,将之前的逻辑电平强制平衡; $M_6 \sim M_7$ 截止, a 点和 b 点建立起正比于输入电压的压差,即为再生状态的初始非平衡电压^[9]。当 Φ_1 为高电平, Φ_2 为低电平时,比较器处于再生状态。 M_5 、 M_9 、 M_{12} 截止, $M_6 \sim M_7$ 导通,以免输入差分对 $M_1 \sim M_2$ 进入线性区。假定 $V_{INP} > V_{INN}$,则 $v_a < v_b$, M_{18} 所在支路的电流大于 M_{17} 支路的电流,也就是 M_{11} 的电流大于 M_{10} 的电流,使 $V_{ON} < V_{OP}$,在正反馈的作用下, V_{ON} 被快速拉到0, V_{OP} 拉到电源电压 $AVDD$ 。 $M_3 \sim M_4$ 用于减小比较器在状态切换时从再生节点向预运放的输入端的踢回噪声。

从比较器的工作过程可以看出,预运放在整个过程中都存在静态电流,锁存器复位状态没有静态电流,在再生状态存在动态电流,而复位阶段在比较器的工作过程中占大部分工作时间,因此在保证速度和灵敏度的前提下合理的选择预运放的尾电流是

降低比较器功耗的关键^[10].

3.3 低温漂带隙基准电路

图 6 是带隙基准电路图,用于产生整个模拟部分的基准电压, M_1 、 M_2 和 M_{12} 是使能端, $M_3 \sim M_{11}$ 是启动电路,其余部分是带隙基准核心电路, $M_{13} \sim M_{22}$ 的 PMOS 共源共栅电流镜为 NMOS 管 M_{23} 和 PNP 三极管 $Q_1 \sim Q_4$ 提供偏置,同时作为运放的负载, Q_1 和 Q_2 相同,发射极面积为 A , Q_3 和 Q_4 相同,发射极面积为 nA , R_1 和 R_3 是正温度系数电阻, R_2 和 R_4 是负温度系数电阻,相互抵消温度带来的电阻阻值变化,运放 A 采用了折叠式共源共栅结构.

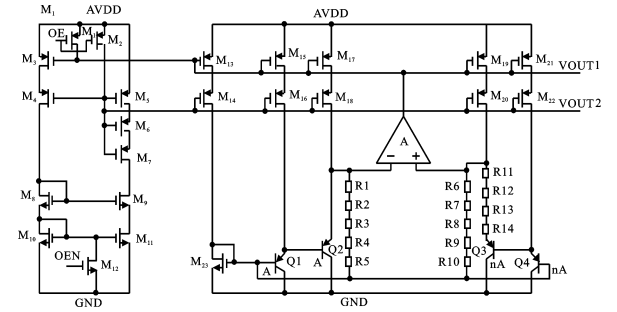


图 6 低温漂带隙基准电路

为进一步降低温漂系数,提高调制器的温度特性,电路中增加了电阻 $R_1 \sim R_{10}$,其中 $R_1 \sim R_5$ 的阻值之和等于 $R_6 \sim R_{10}$ 的阻值之和,采用正温度系数电阻和负温度系数电阻交叉的形式,在版图上交叉布局,布局走线完全匹配,使温度变化时的阻值变化降低到最小.

4 仿真验证

四阶 $\Sigma\Delta$ 调制器版图如图 7 所示,包括 1~4 阶积分器、比较器、输入增益控制、积分器电容网络和调制器电容网络等部分.

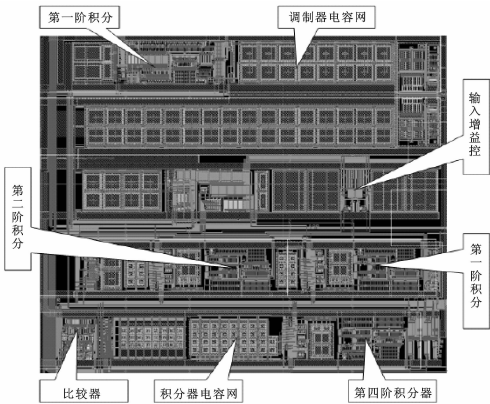


图 7 电路版图

4.1 带隙基准电路仿真结果

分别在 TT、FF 和 SS 三个工艺角下,在 $-40^\circ\text{C} \sim 85^\circ\text{C}$ 的温度范围内,对改进的带隙基准电路进行了仿真,仿真结果如图 8 所示.

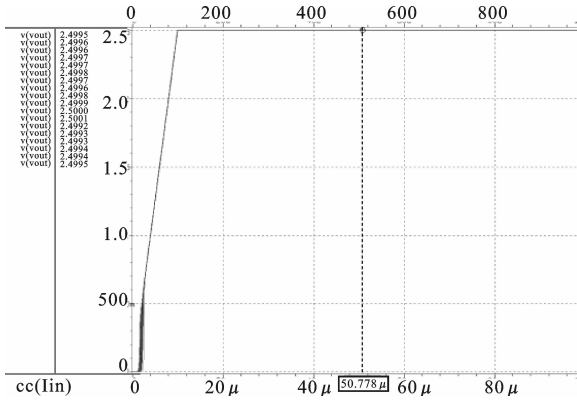


图 8 带隙基准电路在不同工艺角和温度下的仿真结果

仿真结果显示在不同工艺角和温度下,带隙基准电压的温度系数最大为 $20 \text{ ppm}/^\circ\text{C}$,在 $25 \text{ ppm}/^\circ\text{C}$ 的设计指标范围内.

4.2 四阶 $\Sigma\Delta$ ADC 调制器仿真结果

在 TT、FF 和 SS 三个工艺角下,在 -40°C 、 25°C 和 85°C 三个温度点对四阶 $\Sigma\Delta$ ADC 调制器进行了仿真,在四阶 $\Sigma\Delta$ ADC 调制器的输入端加幅值 250 mV ,频率 50 Hz 的正弦信号,工作电压 5 V ,采样频率 250 kHz ,仿真结果如图 9 所示,示出了不同工艺角和温度点下的功耗波形,平均功耗 $550 \mu\text{A}$ 左右.

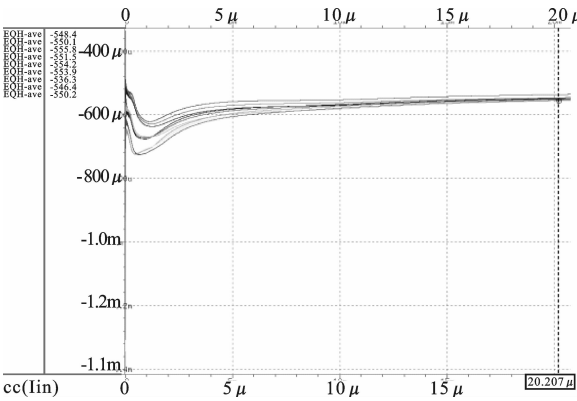


图 9 不同工艺角和温度点下的平均功耗

5 流片测试及分析

本设计在 HHGRACE0.35 μm CZ6H 工艺下进行流片验证,MPW 样片在测试电路板上进行了各项测试.测试电路采用 5 V 模拟电源, 3.3 V 数字电源, 4.096 MHz 石英晶振(8 分频后提供 512 kHz

DCLK). 主要测试设备采用 XL803 型三相程控标准功率源,Agilent 34401A 型 6 位半数字万用表,泰诺高低温试验箱,相关测试数据分析如下。

5.1 电压基准源温漂测试

电压基准源设计标准输出值 2.500V,测试采用 VREFOUT 端输出电压在 $-30^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 进行测量,测量时使用下面的公式计算温漂系数:

$$\text{TCVREF} =$$

$$\left(\frac{\text{VREFOUTMAX}-\text{VREFOUTMIN}}{\text{VREFOUTAVG}}\right)\left(\frac{1}{\text{TAMAX}-\text{TAMIN}}\right)(1.0\times 10^6)$$

表 1 电压基准测试数据

芯片 编号	常温(20℃)	高温(85℃)	低温(-30℃)	温度漂移 /℃
	基准电压 /V	基准电压 /V	基准电压 /V	
1	2.498	2.502	2.496	20.8
2	2.501	2.503	2.496	24.3
3	2.499	2.503	2.497	20.8

表 1 为电压基准测试数据,测试结果显示常温下电压基准输出值接近设计指标 2.500 V,温漂系数在设计指标 25 ppm/℃之内。

5.2 电流采样精度测试

采用三相标准源 XL803,输出不同数值的标准电流信号,标准信号经过分压电阻转换为 $\pm 250\text{ mV}$ 信号进入电流采样通道,对 3 片样片进行常温精度测试,采用满量程误差作为判断指标,满量程误差计算采用如下公式:

$$\text{满量程误差值} = (\text{测量值} - \text{标准值}) / \text{满量程值}$$

(满量程电流值按照 5A 计算),3 片样片常温电流精度符合指标要求,数据如表 2 所示。

表 2 电流采样通道精度测试数据

电流标 准值 (A)	满量程误差要求: $\leq 0.2\%$		环境要求:室温条件下测试			
	芯片 1		芯片 2		芯片 3	
	测量 值/A	满量程 误差/%	测量 值/A	满量程 误差/%	测量 值/A	满量程 误差/%
1	1.005	0.1	1.006	0.12	1.005	0.1
2	2.006	0.12	2.005	0.1	1.995	-0.1
3	3.004	0.08	2.993	0.14	3.005	0.1
4	4.005	0.1	3.995	-0.1	4.006	0.12
5	5.003	0.06	4.995	-0.1	4.995	-0.1

6 结束语

本文针对一种应用于电能计量芯片的低功耗、

低温漂四阶 Σ - Δ 调制器,按照从系统功能需求、芯片设计到流片验证的思路,完成了主体部分和关键电路的设计,针对低功耗和低温漂等做出了相应的优化调整,后仿真结果显示采样频率为 512 kHz,带隙基准电压的温度系数为 22 ppm/℃,调制器功耗为 550 μA 左右. 芯片流片后进行了各种功能性能测试,测试指标符合设计要求。

参考文献:

[1] 王龙生,谢亮,金湘亮. 电表计量芯片中 sigma-delta ADC 的系统级分析[J]. 太赫兹科学与电子信息学报, 2014, 12 (6) :917-921.

[2] Willy M C Sansen. Analog design essentials[M]. Berlin;Springer, 2006;479-483.

[3] Libin Yao, Michiel Steyaert, Willy Sansen. Low-power low-voltage sigma-delta modulators in nanometer CMOS[M]. Berlin;Springer,2006;121-128.

[4] 徐智铨,电能计量芯片专用 ADC 的设计[D]. 西安:西安科技大学,2006;43.

[5] 吴笑峰,高精度 sigma_delta ADC 的研究与设计[D]. 西安:西安科技大学,2009;62-63.

[6] 李亮,臧佳锋,徐振,等. 高速低功耗钟控比较器的设计[J]. 半导体技术,2008, 33 (1) :11-14.

[7] Yin G M, Eynde F O, Sansen W. 1 A high speed CMOS comparator with 8-b resolution [J]. IEEE J Sol Sta Circ,1992,27 (2) : 208-211.

[8] Figueiredo P M , Vital J C1 Low kickback noise techniques for CMOS latched comparators [C]// Int SympCirc and Syst. Vancouver, Canada, 2004: 1537-1577.

[9] 程剑平,魏同立. 低踢回噪声锁存比较器的分析与设计[J]. 微电子学,2005,35(4):428-432.

[10] 吴笑峰,刘红侠,石立春,等. 新型高速低功耗 CMOS 动态比较器的特性分析[J]. 中南大学学报(自然科学版),2009, 40(5):1354-1359.

作者简介:

单来成 男,(1975-),硕士研究生. 研究方向为高精度电测量芯片与系统.

乌力吉(通讯作者) 男,(1965-),博士,副教授,博士生导师. 研究方向为汽车电子与信息安全.

E-mail:lijiwu@mail. tsinghua. edu. cn.

张向民 男,(1966-),硕士,助理研究员. 研究方向为汽车电子与信息安全.

吴行军 男,(1969-),硕士,副教授. 研究方向为汽车电子与信息安全.